

Circuitos Integrados 3D

Sandro Sawicki¹, Mauri Klein¹, Ricardo Reis²

¹ Universidade Regional do Noroeste do Estado do Rio Grande do Sul
Mestrado em Modelagem Matemática, DCEEng, UNIJUI
{sawicki, mauri.klein}@unijui.edu.br

² Universidade Federal do Rio Grande do Sul, Instituto de Informática,
PPGC/PGMicro, Av. Bento Gonçalves, Porto Alegre, RS, Brasil.
reis@inf.ufrgs.br

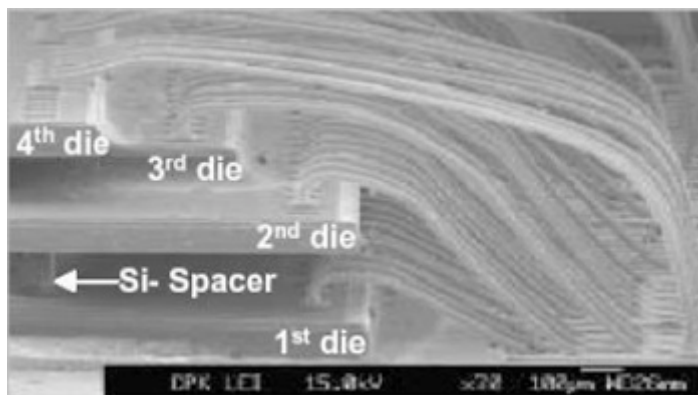
Resumo. Circuitos 3D surgem como uma mudança no paradigma de projetos de circuitos integrados. São construídos através da integração de vários *chips* 2D fabricados separadamente. Cada circuito é chamado na literatura de *tier*, e os fios que conectam *tiers* adjacentes são conhecidos como vias-3D (conexões verticais). A fabricação de um circuito 3D baseia-se na metodologia de montagem e empilhamento, na técnica de polimento para melhorar a integração, na tecnologia de alinhamento de *chips* e nas tecnologias de colagem de *chips* (colas orgânicas, metal-para-metal, etc). Este capítulo descreve alguns desses itens, assim como os desafios impostos por esse tipo de tecnologia ao desenvolvimento de metodologias de CAD.

1 Estratégias de Montagem de Circuitos 3D

1.1. Empilhamento de *Chips*

Consiste simplesmente na sobreposição vertical de *chips* pré-fabricados. A comunicação entre eles é realizada através de conexões de I/O conhecidas na literatura como “*wire bonding*” [8]. Essas conexões passam pelo lado de fora do circuito, fazendo a ligação entre os diferentes *chips* (Figura 1). Tal metodologia não provê nenhuma vantagem à performance e à potência do circuito em comparação com outras técnicas de montagem, pois sua integração é fracamente acoplada devido às conexões externas. Essa técnica reduz somente a área ocupada pelo *chip* na placa. Por esse motivo, é muito utilizada em dispositivos portáteis e telefones celulares.

Figura1: Empilhamento de *chips* de tamanhos diferentes por meio de uma estrutura *wire bonded* de comunicação [4].



1.2. Empilhamento de *Chip-Sobre-Wafer*

Circuitos pré-testados são empilhados sobre o wafer e posicionados individualmente com o uso de equipamentos *pick-and-place*. Patti [15] descreve que a precisão no alinhamento depende do tipo de via utilizada para comunicar os *chips*. Atualmente, o erro no alinhamento varia em torno de 10µm. Essa técnica provê melhor integração em comparação ao empilhamento de *chips*, pois a comunicação é fortemente acoplada, ou seja, as conexões cruzam pela parte interna do *chip*. Essa tecnologia de montagem 3D é adotada por companhias como ZyCube [22], Ziptronix [21] e Xanoptix [6].

1.3. Empilhamento de *Wafers*

Outra técnica empilha *wafers* inteiros. Tezzaron é uma companhia que trabalha com esse tipo de montagem. Comparada com a técnica *chip-sobre-wafer*, a tecnologia utilizada pela Tezzaron [1][18] causa erros de alinhamento inferiores a 1µm e resulta numa comunicação mais integrada e de superfície planar maior [9]. A principal diferença entre a técnica de empilhamento de *wafers* e a de *chip-sobre-wafer* é o número de *chips* tratados ao mesmo tempo e o baixo nível de erros de alinhamento da primeira.

1.4. Empilhamento de Transistores

Atualmente, ambas as técnicas de montagem (*chip-sobre-wafer* e empilhamento de *wafers*) são usadas comercialmente. A técnica de empilhamento de transistores integra camadas ativas fabricadas em um mesmo *chip* descartando qualquer tipo de alinhamento. Em outras palavras, a deposição e remoção de materiais formam os *chips*. Essa é a técnica ideal devido ao preciso alinhamento das vias e ao forte acoplamento que a caracterizam. Contudo, as altas temperaturas resultantes desse procedimento inviabilizam sua aplicação. A tecnologia de

fabricação de transistores de alta performance demanda temperaturas que destroem o cobre e o alumínio utilizado para as camadas de metal. Porém, é uma técnica muito promissora e com um grande campo para pesquisa [9].

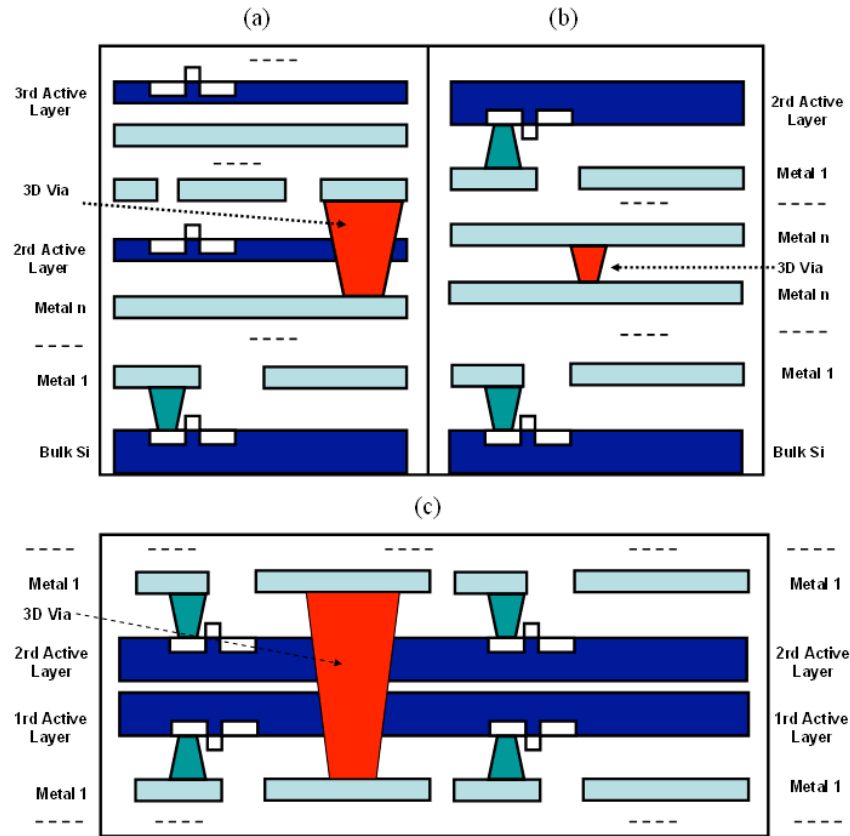
2. Estratégias de Integração 3D

Como vimos anteriormente, os circuitos 3D são construídos por meio da sobreposição de vários *chips*. Cada *chip* empilhado representa uma camada do circuito é conhecido na literatura como *tier*. Eles são cuidadosamente alinhados e colados. Existem três estratégias de integração: *face-to-back*, *face-to-face* e *back-to-back*, como mostra a Figura 2.

Na estratégia *face-to-back*, os chips são empilhados todos numa mesma orientação. No topo da última camada de metal do chip 1 – como no exemplo da Figura 2 (a) – existe uma camada de isolante para que depois seja posicionado o substrato do chip 2. Para a fabricação das vias-3D, deve-se abrir uma fenda no isolante e no substrato. Posteriormente, essas fendas são preenchidas com metal. A via deve conectar a última camada de metal do chip 1 e a primeira camada de metal do chip 2.

Na estratégia *face-to-face*, os chips são empilhados um de frente para o outro - como na Figura 2 (b). A última camada de metal do chip 1 é colocada com a frente voltada para a última camada de metal do chip 2 (separado somente por um isolante). A via que conecta o chip 1 com o chip 2 ocupa uma área menor do que a resultante da estratégia *face-to-back*. Por outro lado, na estratégia *face-to-face*, apenas duas camadas ativas podem ser empilhadas, pois as seguintes tendem a ser integradas conforme as estratégias *back-to-back* ou *back-to-face*. A fabricação que segue a estratégia *face-to-back* é mais fácil, pois são necessárias poucas mudanças nos processos tradicionais.

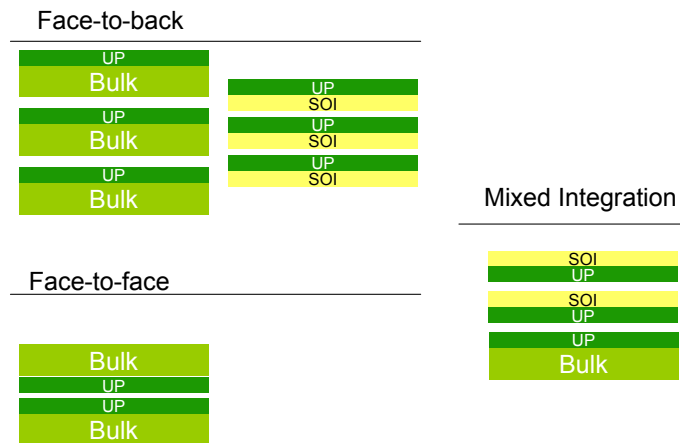
A Figura 2 (c) mostra duas camadas ativas conectadas, ilustrando a estratégia de integração *back-to-back*. Nesse caso, para que a comunicação entre os *chips* seja realizada, ambas as camadas ativas devem ser perfuradas, o que cria o espaço para a via-3D. Percebe-se, na Figura 2 (c), que essa via é bastante grande se comparada a um transistor, o que é ruim devido às características elétricas incorporadas pelos tipos de materiais. As próximas seções destacam, com maiores detalhes, os tipos de vias e sua influência no projeto de circuitos 3D. Todavia, a cada integração que utiliza a estratégia *back-to-back*, duas novas integrações *face-to-face* são possíveis.

Figura 2: Estratégias de integração: (a) *face-to-back*; (b) *face-to-face*; (c) *back-to-back*.

As três estratégias citadas podem ser combinadas com tecnologias SOI (*Silicon on Insulator*) ou *bulk*. A Figura 3 mostra a combinação de tecnologias e estratégias de integração. No uso da estratégia *face-to-back* com tecnologia *Bulk*, percebe-se que o custo de perfuração é maior se comparado com a tecnologia SOI. Consequentemente, o tamanho da via-3D também aumenta. Atualmente, a tecnologia SOI é a mais utilizada, mas é difícil definir com precisão a proporção de sua utilização, em razão dos diferentes tipos de processos empregados e dos benefícios específicos de cada tecnologia.

São referidas como “*mixed integration*” as estratégias, comumente utilizadas, que combinam técnicas *back-to-back*, *face-to-face* e *face-to-back*. A Tezzaron, por exemplo, utiliza-a para alcançar o maior número de integrações *face-to-face*, nem que isso custe integrações *back-to-back*. A Figura 3 mostra as diferentes tecnologias e estratégias empregadas nesse tipo de integração.

Figura 3: Estratégias de integração *face-to-back*, *face-to-face* e *mixed integration* com tecnologias *bulk* e SOI.



3. Estratégias de Comunicação 3D

Esta seção descreve algumas estratégias de comunicação que ligam as diferentes camadas do circuito 3D. De acordo com Davis [8], a comunicação pode utilizar quatro tipos de estratégias: *wire bonded*, *microbumps*, *contactless* e vias-3D.

A tecnologia *wire bonded* utiliza *chips* empilhados de tamanhos diferentes e *pads* de I/O posicionados em suas bordas. Seguindo-se essa estratégia, não se utiliza conexões *interchips*, de modo a evitar o congestionamento interno que seria imposto por cada uma das camadas. A principal desvantagem dessa tecnologia é justamente as conexões serem traçadas pelo lado externo dos *chips*, o que torna a integração fraca e aumenta o atraso da comunicação entre eles. Além disso, o número de repetidores e o tamanho dos *pads* aumentam.

A tecnologia *microbumps* utiliza microcontatos de ouro ou cobre (*bumps*) posicionados no topo da camada de metal. Algumas vezes, esses contatos podem ser bloqueados por outras conexões. Assim, pode-se precisar de mais espaço para roteamento. Contudo, para posicionar *chips face-to-face*, não são necessários canais de roteamento. Uma desvantagem dessa estratégia de integração é estar ela limitada a duas camadas, exceto quando for utilizada a integração *back-to-back*. Ambas são conectadas, obtendo-se o contato físico entre os *bumps* das duas.

A tecnologia *contactless* pode ser resumida como uma conexão indutiva e outra capacitiva. Esta requer que os *chips* estejam posicionados na forma *face-to-face* devido à proximidade entre os contatos. Com isso, limita-se novamente o número de camadas a duas. Já a acoplagem indutiva é usualmente utilizada nas estratégias de integração *face-to-back*.

Por fim, o uso de vias-3D consiste em escavar um buraco de uma camada para outra, quando a estratégia de integração é *face-to-back* ou *back-to-back*. Em

alguns casos, tal como na tecnologia MITLL 3D [8], as primeiras duas camadas são integradas *face-to-face* e as restantes *face-to-back*. No primeiro caso, a comunicação é realizada por meio de contatos, enquanto, no segundo, são necessários *pads* de I/O. A tradicional tecnologia *bulk*, em comparação com o processo SOI, requer vias bastante grandes (MITLL-SOI *face-to-back* exige um *pitch* de 5 μm , enquanto a via-3D em *bulk face-to-back*, um *pitch* de 50 μm) e, em consequência, uma distância maior entre elas, acarretando, assim, o aumento de área.

Tabela 1: Resumo das tecnologias para integração e comunicação 3D (extraído de [8])

<i>Tecnologia de comunicação</i>	<i>Tecnologia de integração</i>
<i>Wire bonded</i>	Fios do lado de fora do <i>chip</i>
<i>Microbump</i>	Conexões <i>face-to-face</i>
<i>Contactless</i>	Conexões capacitivas Conexões indutivas
<i>Through via</i>	<i>Bulk</i> SOI

A fabricação de um circuito 3D depende dos seguintes quesitos: (1) metodologia de montagem e empilhamento, (2) técnica de polimento usada para melhorar a integração, (3) tecnologia de alinhamento de *chips* e (4) tecnologia de colagem de *chips* (colas orgânicas, metal-para-metal, etc.). Atualmente, uma grande variedade de tecnologias é encontrada em diversos projetos, e cada uma delas afeta de forma diferente a geometria, o roteamento e as características elétricas das vias-3D. Por exemplo, a distância entre estas varia significativamente conforme a qualidade do alinhamento nas etapas de montagem. Todas essas tecnologias estão em constante aperfeiçoamento. Como resultado, espera-se, para o futuro, um maior avanço no projeto de vias-3D.

O comprimento das vias e a distância entre elas afetam bastante o projeto do circuito. A distância entre vias, numa mesma *tier*, determina quantas podem ser efetivamente utilizadas pelas ferramentas de CAD e pelos projetistas. Determina, também, como as conexões verticais podem ser posicionadas, sem mencionar a área ocupada na camada ativa. O tamanho das vias (que depende do tipo de integração, se *face-to-face*, *face-to-back* ou *back-to-back*) tem extrema importância e deve ser levado em conta para o cálculo do *wirelength*.

Características do roteamento em vias também são importantes para o projeto de circuitos 3D. Algumas formas de construção de vias bloqueiam camadas de metal. Nesses casos, o roteamento passa a ser bastante custoso. Quando se utiliza estratégias de integração *face-to-back* e *back-to-back*, é necessário furar a camada ativa. Nessa hipótese, a localização da via-3D torna-se uma barreira e ocupa área de posicionamento.

As características elétricas das conexões são muito importantes para computar o atraso e o consumo de potência. Capacitância e resistência altas podem invalidar o uso de vias-3D para conexões críticas do circuito. Contudo, alguns

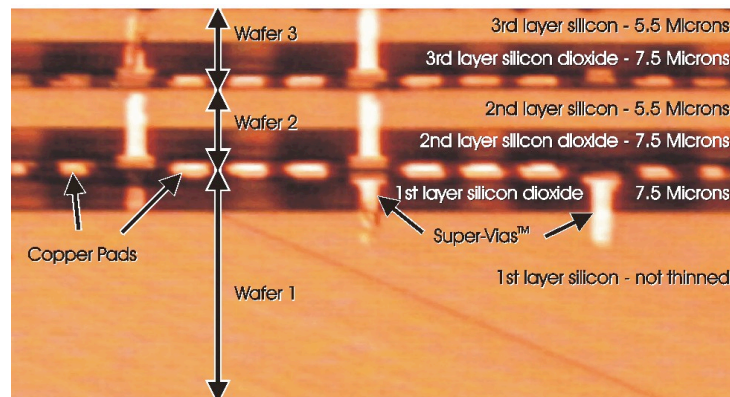
estudos buscam posicionar as células que compõem os caminhos críticos em uma camada, procurando evitar que as suas conexões tornem-se vias-3D.

3.1. Tecnologia Tezzaron

A tecnologia Tezzaron baseia-se na estratégia de montagem denominada empilhamento de *wafers*, descrita na Seção 0. Os caminhos verticais empregados nessa estratégia são vias-3D (perfuração da camada ativa) e contatos *microbumps*. Algumas informações didáticas de seus processos estão disponíveis no *website* da empresa [1][18], mas essas descrições não são completas.

A Tezzaron conecta as camadas utilizando estratégias de integração *face-to-face* e *face-to-back*. Cada uma das *tiers* contém *pads* de cobre que são acoplados no momento da junção. Na integração *face-to-face*, o contato físico dos cobres serve como vias-3D, similar à tecnologia *microbump*, descrita na seção anterior.

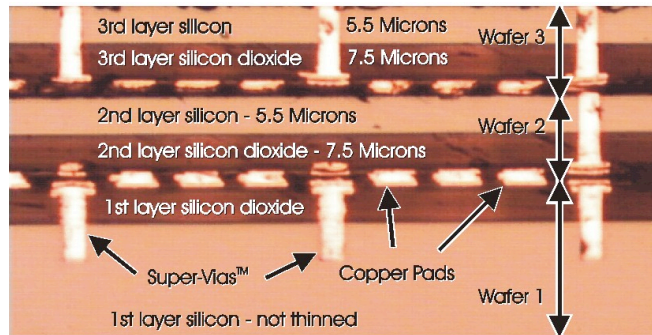
Figura 4: Diferentes estratégias de integração utilizando conexões supervias [1][18].



Atualmente a Tezzaron trabalha com duas tecnologias de vias, supervias e supercontatos (ambas marcas registradas pela empresa). A supervia conecta os *pads* de cobre por uma perfuração que atravessa todas as camadas de metal. Por essa razão, ela bloqueia a passagem dos metais para roteamento. O supercontato conecta os *pads* de cobre com auxílio das camadas de metal. Assim, ao contrário da supervia não torna-se um obstáculo para o roteamento.

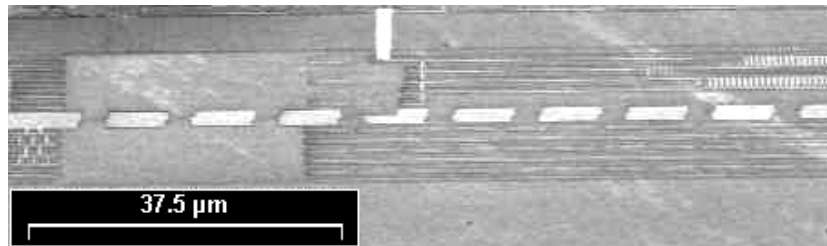
A Figura 4 ilustra algumas conexões supervia, duas ao topo do *wafer*, duas ao centro e duas mais à direita da última camada. Percebem-se, também, os *pads* de cobre entre o primeiro e o segundo *wafers* integrados conforme a estratégia *face-to-face*.

Figura 5: Conexões supervia. Três na parte superior, uma ao centro e três na camada de baixo. O *wafer* 1 está integrado ao *wafer* 2 conforme a estratégia *face-to-face* [1][18].



A Figura 5 ilustra um processo da Tezzaron com integrações *face-to-face* e *face-to-back*. Verifica-se que a estratégia *face-to-face* foi utilizada para integrar a *tier* 1 à 2, e a *face-to-back* para a integração das *tiers* 2 e 3. Os *pads* de cobre conectam as *tiers* 1 e 2. Na integração *face-to-back* das *tiers* 2 e 3, a conexão entre as duas camadas é realizada por uma supervia que conecta os *pads* de cobre. A *tier* 1 conecta os *pads* de I/O do circuito que estão localizados abaixo do *bulk*.

Figura 6: Processo de alinhamento de *pads* [1][18].



A Figura 6 mostra dez pares de pads de cobre, nas bordas, que conectam dois wafers. Constata-se a dificuldade dos seus alinhamentos. Cinco camadas de alumínio podem ser visualizadas em cada wafer. Conexões verticais entre essas camadas estão localizadas nos lados inferior esquerdo e superior direito. Um supercontato aparece no topo central desta figura [1][18].

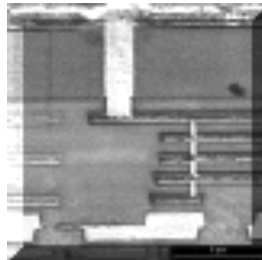
A tecnologia de supercontatos foi introduzida na segunda geração de processos de fabricação da Tezzaron. Essa tecnologia requer o uso de todas as camadas de metal. A Figura 7 mostra um processo atual da Tezzaron utilizando essa estratégia em duas *tiers* conectadas *face-to-face*. No canto superior visualiza-se claramente que o supercontato não atravessa as camadas de metal. Essa conexão para na primeira camada de metal, facilitando o trabalho do roteamento.

Figura 7: Corte de um *wafer*. Um *pad* de cobre aparece abaixo, e pequenas interconexões entre camadas de metal, no centro. Um supercontato conecta um *pad* à última camada de metal [1][18].

3.2. Tecnologia 3D MITLL

A Tecnologia 3D MITLL [7] [17] utiliza uma estratégia de integração similar à da Tezzaron. Constrói-se uma pilha de tiers com as duas primeiras camadas face-to-face e todas as outras face-to-back. Na Figura 8 mostra, de forma didática, a tecnologia utilizada pela MITLL.

Figura 8: Modelo 3D do processo MITLL [8].



Seguindo-se a estratégia de integração MITLL *face-to-face*, em oposição à tecnologia Tezzaron, porém, utiliza-se conexões verticais mais custosas. Isso acontece porque é necessária uma conexão reta e, com isso, bloqueiam-se as demais camadas de metal, ao passo que a tecnologia Tezzaron exige uma conexão somente até a primeira camada.

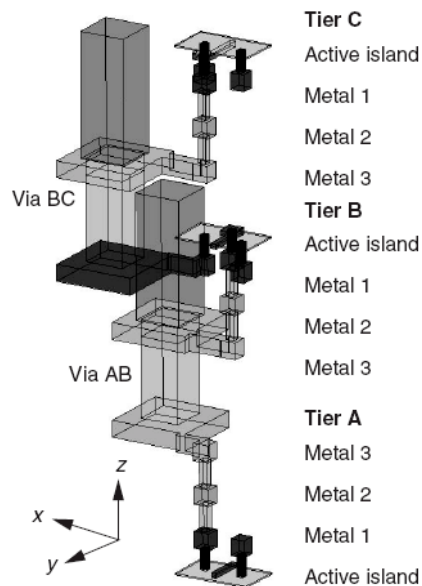
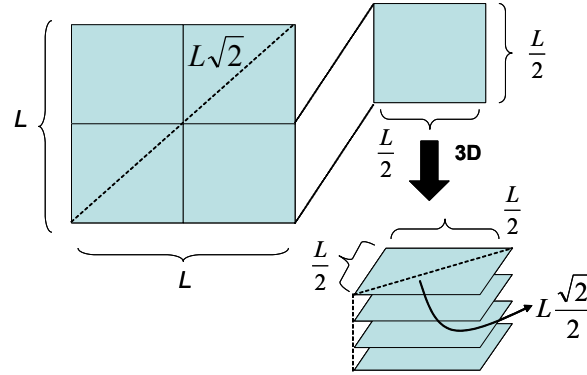


Figura 9: Redução do tamanho das conexões em circuitos 3D.



4. Projeto de Circuitos 3D

A tecnologia 3D provê grandes possibilidades para melhorias de desempenho, potência, *timing*, *wirelength*, entre outros. Porém, seu uso exige mudanças nos processos de fabricação. Com isso, vêm à tona questões delicadas, como novos paradigmas de projeto e, consequentemente, novas metodologias e ferramentas. Este tópico explora três metodologias de projeto: nível de camadas, nível de blocos e nível de células; destaca-se, aqui, seu grau de integração e granularidade. Discute-se ainda o impacto dessas estratégias nas etapas de particionamento e posicionamento VLSI. Problemas como *yield*, questões térmicas, vias-3D, entre outros, também são abordados nesta seção.

4.1 Metodologias de Projeto 3D

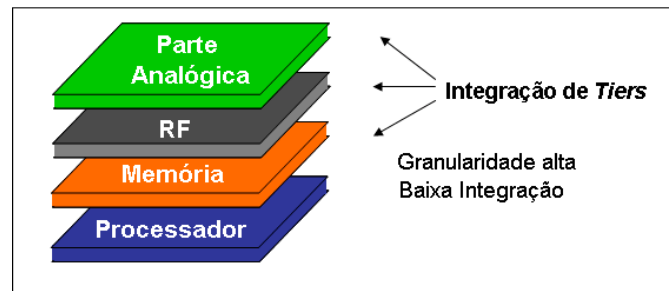
A primeira metodologia, conhecida como “integração em nível de *tier*”, empilha *chips* de diferentes naturezas. Essa metodologia não afeta as de projetos já existentes, pois cada *chip* (*tier*) pode ser projetado separadamente e, em seguida, integrado com facilidade. Nesse nível, a granularidade é alta, pois o contexto interno das *tiers* não são discutidos e projetados em conjunto. A segunda metodologia, chamada de “integração em nível de *IP core*”, particiona seus blocos (*IP cores*) entre diferentes *tiers*, promovendo, dentro destas, uma integração acoplada. Os blocos podem ser distribuídos de forma organizada, em cada *tier* ou entre elas, como um *floorplanning* 3D, o que resulta num nível de granularidade médio. Por fim, a “integração em nível de lógica aleatória” particiona um simples bloco de lógica entre diferentes *tiers*, gerando uma granularidade menor (células). Essa metodologia trabalha com um nível de integração elevado.

Nível de *tier*: Atualmente, na área de SoCs, a fabricação 3D cria novas possibilidades. A integração 3D permite acomodar elementos de um sistema em diferentes *chips*, evitando problemas, como ruídos em sistemas analógicos [12]. Componentes de diferentes naturezas, fabricados por diferentes processos (lógica aleatória, RF, DRAM, SRAM, lógica *low-power*, partes analógicas, plataformas

programáveis, como *software*, FPGAs, *Flash*) podem ser posicionados em camadas distintas, conforme ilustrado na Figura 10.

De acordo com Patti [15], a Tezzaron apresenta alguns projetos empilhando *tiers* de naturezas diferentes. Porém, o nível de integração é baixo, pois a granularidade é alta. Um dos benefícios dessa metodologia é que ela utiliza as ferramentas de CAD já existentes.

Figura 10: Integração em nível de *tier*.



Nível de IP Core: Esta seção discute a metodologia de particionamento de projeto em *IP cores*, como ilustrado na Figura 11. A idéia é aplicada no nível de posicionamento de macroblocos direcionado para melhorias de *wirelength* e *timing*. Comparado à metodologia em nível de *tier*, a integração *IP core* demanda mais esforço de projeto. Os elementos a serem tratados são menores, criando uma granularidade média de integração.

A etapa de *floorplaning* caracteriza-se pelo posicionamento de macroblocos em uma determinada área e pelo redimensionamento dos blocos, o que restringe a área e a relação de aspecto. Em outras palavras, cria-se uma planta baixa com o objetivo de encontrar o melhor arranjo entre os blocos. Tal arranjo visa reduzir o tamanho das conexões e a área do circuito. Algumas metas do *floorplaning* 3D são estas: (1) prover uma boa compactação dos blocos para que o melhor potencial dos circuitos 3D possa ser explorado; (2) prover um bom particionamento de blocos dentro da *tier* (esse particionamento auxilia o restante do processo para que se alcance boas soluções); (3) prover resultados melhores de redução do tamanho das conexões do que os das soluções 2D; (4) dar atenção especial a problemas de *timing* e potência, além de lidar com redes críticas; (5) prover soluções para problemas térmicos em circuitos 3D.

A diferença entre *floorplanners* (ferramentas de planta baixa automatizadas) está na estrutura de dados usada para armazenar o *layout* e nos métodos para otimizá-los. Cong e Zhang [5] apresentam um *floorplaning* 3D baseado em *simulated annealing* [13]. Nesse trabalho, foi introduzida uma estrutura de dados aplicada para otimização de conexões e temperatura. Baseia-se ela em três diferentes modelos termais que não consideram as vias-3D como possíveis dissipadores de calor. Esses autores mencionam que essa restrição deve ser incorporada como uma característica do *simulated annealing*. Essa metodologia particiona as células entre as

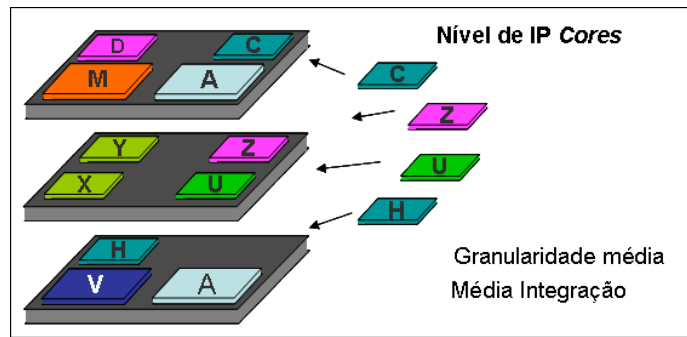
tiers levando em consideração o *wirelength* e os problemas térmicos. Cong conclui que seu método é capaz de reduzir o tamanho das conexões em 29% e a temperatura máxima do *chip* em 56%.

Uma metodologia para particionamento de blocos IP em três dimensões chamada de hierárquica foi estudada Zhuoyuan e Jinian [20]. Primeiro, os blocos são particionados e, depois, atribuídos às respectivas *tiers*. Destaca-se que esse particionamento reduz o tamanho do problema, provendo maior convergência. Contudo, limita as possibilidades do algoritmo encontrar bons resultados em *wirelength*.

Um método híbrido para a otimização do *floorplaning* 3D proposto por Healy e Loh [10] baseou-se em programação linear e *simulated annealing*. Sua discussão gira em torno da eficácia do uso de vias-3D. Os autores defendem que elas devem ser evitadas devido ao grande *pitch* e aos problemas provocados com *yield*, ao passo que vias *face-to-face* podem ser utilizadas largamente, desde que contribuam para a redução do *wirelength*. Essa abordagem provê um modelo para medir a temperatura do *chip* e não insere vias térmicas¹.

A questão da inserção de vias térmicas em seus *floorplanners* 3D foi discutida por Wong e Lim [19]. Concluíram que essas vias não devem ser separadas da otimização do *floorplaning*. Em resumo, os trabalhos estudados constataram que o tratamento térmico com *floorplaning* é capaz de prover resultados consideráveis de otimização.

Figura 11: Integração em nível de *IP cores*.



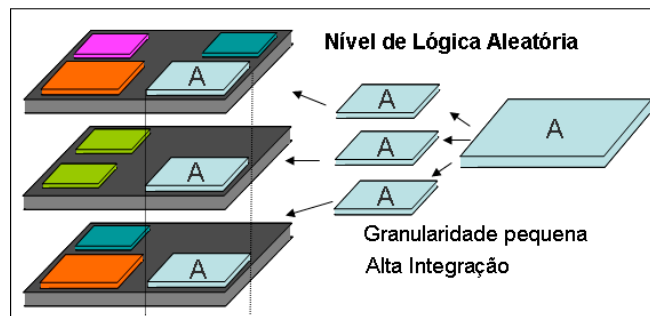
Nível de integração em lógica aleatória: Este nível de integração provoca baixa granularidade, permitindo uma maior integração. Esse fato acontece porque os elementos a serem tratados são pequenos (células). Quanto menores os elementos,

¹ São vias-3D isoladas eletricamente que cruzam todas as camadas e servem como um caminho para a dissipação do calor.

mais detalhada é a otimização, o que resulta em uma maior integração, como mostra a Figura 12.

Nesta seção, discute-se a idéia de que um circuito *standard cell* seja particionado e posicionado em mais de uma *tier*. Essa abordagem atinge diretamente sua estrutura geométrica (área do circuito), a posição das células e as redes, pois a *tier* deve ser levada em consideração. Os pontos importantes a serem tratados são estes (1) considerar que algumas conexões irão para o topo da camada de metal e passarão através de uma conexão (via-3D) que possui características elétricas diferentes; (2) posicionamento e roteamento de células terão mais obstáculos (vias-3D); (3) os pinos de I/O deverão ser levados em consideração, pois muitos dos algoritmos analíticos de posicionamento necessitam dos *pads* fixos para posicionar as células. Com isso, os algoritmos aplicados em estruturas 2D devem ser revisados e adaptados para esse novo paradigma.

Figura 12: Integração em nível de lógica aleatória.



Maior integração pode acarretar a utilização de mais vias-3D. Patti [15] discutem a relação entre o aumento do número de vias e a redução do tamanho das conexões. Contudo, esse é um assunto que deve ser analisado com maior profundidade, pois a perfuração ocasionada pelas vias-3D pode comprometer o *yield* do circuito. Pode-se utilizar estratégias *face-to-face* (existe limitação, como visto nos tópicos anteriores) quando necessária, evitando-se a perfuração do substrato.

Atualmente, tópicos como “Integração 3D” e “Conexões 3D” estão ganhando mais espaço em conferências técnicas especializadas. Grandes organizações investem em pesquisa e desenvolvimento de circuitos integrados 3D. A empresa Tezzaron Semiconductor [1][18] comenta que esse interesse reflete o reconhecimento de que, no futuro, os *chips* serão construídos em três dimensões.

5. Considerações Finais

Este capítulo apresentou um levantamento bibliográfico sobre os circuitos VLSI 3D, suas metodologias de projeto, classificações, características e tipos.

Conforme foi explicitado, as metodologias de projeto podem ser representadas em três níveis: o das *tiers*, o de *ips* e o da lógica aleatória. Além disso, é importante que a granularidade seja considerada em um projeto 3D. Por exemplo, em nível de *tiers*, podem-se acomodar elementos heterogêneos em cada uma das camadas, evitando-se problemas de ruídos, além de ser possível adaptar sistemas de diferentes naturezas. Nesse caso, a granularidade é dita alta, contudo com integração baixa. No nível de *ips*, os blocos que compõem o circuito são divididos entre as *tiers*. Assim, eles podem migrar para qualquer uma das camadas do circuito. Caracteriza-se essa metodologia como de granularidade e integração médias. Já o nível de lógica aleatória, por sua vez, trabalha com elementos ainda menores, as células. Percebe-se na literatura que a ideia de dividir blocos de lógica aleatória é pouco explorada, mas, em projetos em três dimensões, estudos mostram que ela reduz o *wirelength* e, consequentemente, o atraso e a área em comparação com projetos 2D tradicionais [2][3][8][14]. Além disso, sua granularidade é pequena, o que possibilita uma maior integração.

A integração dos elementos em um circuito é um fator determinante para o aumento de sua performance. Quanto menores os elementos envolvidos, maior será sua aproximação física e comunicação. Com base nessa constatação, o foco deste trabalho direcionou-se para projetos com granularidade pequena. Além disso, tratando-se de elementos com esse nível de granularidade, pode-se facilmente utilizar as soluções encontradas para outros níveis de projeto.

Verificou-se também que a estratégia conhecida como empilhamento de *wafers* é a mais usada atualmente. Isso se deve à sua produtividade que permite empilhar vários *chips* de uma só vez. Mas sua maior vantagem está na precisão do alinhamento. Seu uso resulta numa comunicação mais integrada e seus erros são inferiores a 1µm. Contudo, a estratégia conhecida como empilhamento de transistores é a mais adequada, pois trabalha com deposição e remoção de materiais. Com isso, ela evita o problema do alinhamento devido a empilhamento dos elementos. O objetivo do empilhamento de transistores é criar um circuito 3D, do início ao fim, somente por meio de deposição e remoção de materiais (é importante ressaltar que essa estratégia ainda está em estudos, pois esse processo ocasiona o aquecimento dos materiais, o que inviabiliza o projeto).

6. Referências Bibliográficas

- [1] 3D Integrated Circuits Industry Summary. Disponível em: <<http://www.tezzaron.com>>. Acesso em Janeiro de 2012.
- [2] C. Ababei, et al. Placement and Routing in 3D Integrated Circuits. IEEE Design and Test of Computers – special issue on 3D integration; pp 520-531, Nov.-Dec. 2005.
- [3] K. Baberjee; S. Souri; P. Kapur; K. Saraswat. 3D-ICs: A novel chip design for improving deep submicrometer interconnect performance and systems on-chip integration. Proceedings of IEEE, New York, v.89, p.602–633, 2001.
- [4] E. Beyne; 3D Interconnection and Packaging; 2nd Electronics System-Integration Technology Conference, Londres, 2006.

- [5] J. Cong; et. al. A Thermal-Driven Floorplanning Algorithm for 3D ICs. In: ICCAD 2004: PROCEEDINGS OF THE INTERNATIONAL CONFERENCE ON COMPUTER-AIDED DESIGN, 2004. Anais. . . [S.l.: s.n.], 2004.
- [6] Cubic Wafer Technology: Homepage. Disponível via WWW em < <http://www.xanoptix.com/> >. Acesso em Fevereiro de 2012.
- [7] S. Das; A. Chandrakasan; R. Reif. Calibration of Rent's rule models for threedimensional integrated circuits. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, New York, v.12, p.359–366, 2004 (a).
- [8] W. Davis; et. al. Demystifying 3D ICs: the pros and cons of going vertical. Design and Test of Computers, [S.l.], p.498–510, Nov-Dec 2005.
- [9] S. Gupta; et. al. Techniques for Producing 3D ICs with High-Density Interconnect. Available at: <<http://www.tezzaron.com/>>. Acesso em Agosto de 2012.
- [10] M. Healy; et. al. Multiobjective Microarchitectural Floorplanning for 2-D and 3-D ICs. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, [S.l.], v.26, p.38–52, 2007.
- [11] R. Hentschke; Algorithms for Wire Length Improvement of VLSI Circuits With Concern to Critical. 2007. Tese (Doutorado em Ciência da Computação) – Instituto de Informática, UFRGS, Porto Alegre.
- [12] V. Jain; et. al. A Highly Reconfigurable Computing Array: DSP Plane of a 3D Heterogeneous SoC. In: Proceedings IEEE International System on Chip Conference, pp. 243-246, 2005.
- [13] S. Kirkpatrick; et. al. Optimization by Simulated Annealing. Science, Number 4598, 13 May 1983, [S.l.], v.220, 4598, p.671–680, 1983.
- [14] S. Obenaus; et. al. Gravity: fast placement for 3-d vlsi. ACM Transacions on Design Automation of Electronic Systems (TODAES), Volume 8, Issue 3, Pages: 298 - 315, 2003.
- [15] R. Patti. Three-dimensional integrated circuits and the future of system-on-chip designs. Proceedings of IEEE, [S.l.], v.94, p.1214–1224, 2006.
- [16] S. Sawicki. Particionamento e Posicionamento de Pads de I/O em Circuitos VLSI 3D. (Tese de Doutorado) PPGC-UFRGS, 2009.
- [17] V. Suntharalingam; et. al. Megapixel CMOS image sensor fabricated in three-dimensional integrated circuit technology. In: SOLID-STATE CIRCUITS CONFERENCE, 2005. DIGEST OF TECHNICAL PAPERS. ISSCC, 2005. Anais. . . IEEE International, 2005. v.1, p.356–357.
- [18] Tezzaron Homepage. Disponível em: <<http://www.tezzaron.com>>. Acesso em Fevereiro de 2012.
- [19] E. Wong; et. al.. 3D floorplanning with thermal vias. In: DATE '06: PROCEEDINGS OF THE CONFERENCE ON DESIGN, AUTOMATION AND TEST IN EUROPE, 2006, 3001 Leuven, Belgium, Belgium. Anais. . . European Design and Automation Association, 2006. p.878–883.
- [20] L. Zhuoyuan; et. al. Efficient Thermal Via Planning Approach and Its Application in 3D Floorplanning. IEEE Transactions on Computer-Aided Design of Integrated Circuits, 2006, [S.l.].
- [21] Ziptronix Technology: Homepage. Disponível via WWW em < <http://www.ziptronix.com/> >. Acesso em Maio de 2012.
- [22] Zycube Technology: Homepage. Disponível via WWW em < <http://www.zy-cube.com/e/index.html> >. Acesso em Maio de 2012.